

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05075021  
PUBLICATION DATE : 26-03-93

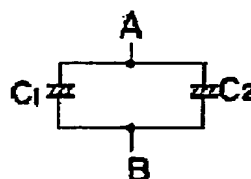
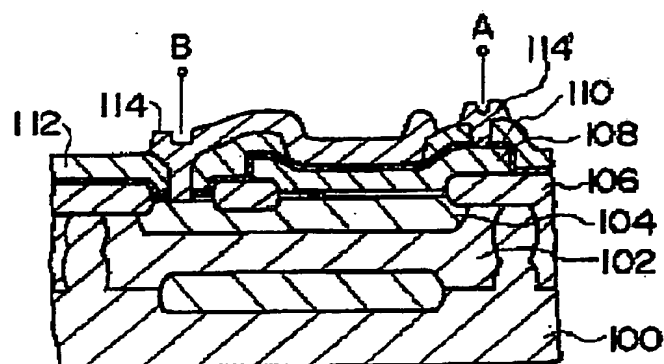
APPLICATION DATE : 13-09-91  
APPLICATION NUMBER : 03234701

APPLICANT : ROHM CO LTD;

INVENTOR : KAWAI FUMIAKI;

INT.CL. : H01L 27/04 H01L 27/108

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To increase the capacity of a capacitor without causing an increase in an element area and lowering of dielectric strength.

CONSTITUTION: An N-type epitaxial layer 102 is laminated on a P-type semiconductor substrate 100 and further an N<sup>+</sup> diffused layer 104 is formed thereon. A dielectric layer 106 of a silicon oxide is formed and a conductive layer 108 of polysilicon is laminated on a region wherein a capacitor is to be formed. Next, a dielectric layer 110 of polysilicon is formed, and after a phosphorus glass PSG layer 112 is applied for coating, a conductive layer 114 of aluminum is laminated and connected to an electrode A. The conductive layer 114 of aluminum and the N<sup>+</sup> diffused layer 104 are connected through a contact hole and they are connected to an electrode B. A capacitor C1 of the dielectric layer 106 and a capacitor C2 of the dielectric layer 110 are connected in parallel and the capacity is C1+C2.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-75021

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04 27/108	C	8427-4M 8728-4M	H 0 1 L 27/10	3 2 5 C

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平3-234701

(22) 出願日 平成3年(1991)9月13日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 川井 文彰

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

(74) 代理人 弁理士 吉田 研二 (外2名)

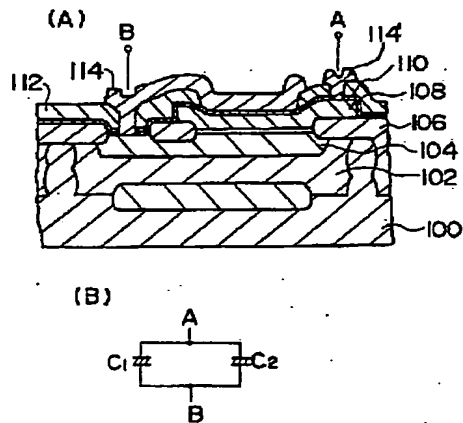
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半導体装置において、素子面積の増大、絶縁耐圧の低下を招くことなくコンデンサの容量を増大させる。

【構成】 P型半導体基板100上にN型エピタキシャル層102が積層され、さらにN<sup>+</sup>拡散層104が形成される。そして、酸化シリコンの誘電体層106が形成され、コンデンサを形成すべき領域にポリシリコンの導電層108が積層される。次にポリシリコンの誘電体層110が形成され、リンガラスPSG層112を被覆した後、アルミニウムの導電層114が積層されてA電極に接続される。コンタクトホールを介してアルミニウムの導電層114とN<sup>+</sup>拡散層104が接続され、電極Bに接続される。誘電体層106のコンデンサC1と誘電体層110のコンデンサC2とが並列接続され、容量はC1 + C2となる。

【図1】



## 【特許請求の範囲】

【請求項1】 半導体基板上に複数の導電層と誘電体層を交互に積層して複数のコンデンサを形成し、各コンデンサを並列に接続してなることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置、特に複数のコンデンサを有する集積回路が形成された半導体装置に関する。

【0002】

【従来の技術】 図3及び図4には従来の半導体装置の一例が示されている。まず、図3において、P型半導体基板300上にN型エピタキシャル層302が積層され、さらにN<sup>+</sup>拡散層304が形成される。そして、酸化シリコンや酸化シリコン等の誘電体層306が積層され、最後にアルミニウムやポリシリコン等の導電層308が積層されて半導体装置が構成される。そして、N<sup>+</sup>拡散層304を下部電極、導電層308を上部電極として電圧を印加することにより、N<sup>+</sup>拡散層304、誘電体層306、導電層308をコンデンサとして動作させる。

【0003】 一方、図4においては、半導体基板400上に酸化シリコン等の絶縁層402が積層され、その上にポリシリコンの導電層404が形成される。さらに、酸化シリコンや酸化シリコン等の誘電体層406が積層され、リンガラスPSG408を被覆した後、アルミニウムの導電層410が積層されて半導体装置が構成される。そして、ポリシリコンの導電層404を下部電極、導電層410を上部電極として電圧を印加することにより、ポリシリコンの導電層404、誘電体層406、導電層410をコンデンサとして動作させる。

【0004】

【発明が解決しようとする課題】 このように、従来の半導体装置では導電層と誘電体層の積層構造によりコンデンサを形成しているが、コンデンサの容量を増大させる場合にはその電極面積を大きくする必要があり、従って大容量のコンデンサを得るために素子面積が増大してしまう問題があった。

【0005】 もちろん、容量を増大するために誘電体層の厚さを薄くすることも考えられるが、誘電体を薄くすると絶縁耐圧が低下してしまうため、薄膜化にも制限がある。

【0006】 本発明は上記従来技術の有する課題に鑑みなされたものであり、その目的は素子面積の増大及び絶縁耐圧の低下を招くことなく大容量のコンデンサを備える半導体装置を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に複数の導電層と誘電体層を交互に積層して複数のコンデンサを

形成し、各コンデンサを並列に接続してなることを特徴とする。

【0008】

【作用】 このように、本発明の半導体装置は従来のように一つのコンデンサの容量を増大させるのではなく、複数のコンデンサを積層して形成し、各コンデンサを並列に接続することにより素子面積の増大及び絶縁耐圧の低下を招くことなく容量の増大を図るものである。

【0009】

10 【実施例】 以下、図面を用いながら本発明に係る半導体装置の好適な実施例を説明する。図1には本実施例の半導体装置の一部断面が示されている。図において、P型半導体基板100上にN型エピタキシャル層102が積層され、さらにN<sup>+</sup>拡散層104が形成される。そして、酸化シリコンの誘電体層106が約25nmの厚さに形成され、コンデンサを形成すべき領域にポリシリコンの導電層108が積層される。次に約50nmの厚さの酸化シリコンの誘電体層110が形成され、リン酸ガラスPSG層112を被覆した後、アルミニウムの導電層114、114'が積層される。

【0010】 本実施例の半導体装置はこのような積層構造をなし、コンタクトホールを介してアルミニウムの導電層114とN<sup>+</sup>拡散層104が接続され、アルミニウムの導電層114は電極Bに接続される。また、他のアルミニウムの導電層114'とポリシリコンの導電層108とが接続され、アルミニウムの導電層114'はA電極に接続される。このような構成でA電極とB電極間に電圧を印加すると、

A電極—ポリシリコン導電層108—酸化シリコン誘電体層106—N<sup>+</sup>拡散層104—B電極

で構成されるコンデンサC1と、

A電極—ポリシリコン導電層108—酸化シリコン誘電体層110—アルミニウム導電層114—B電極

で構成されるコンデンサC2が図1(B)の等価回路に示されるように並列接続される構成となり、真空の誘電率を $8.854 \times 10^{-14}$  F/cm、酸化シリコン、酸化シリコンの比誘電率を各々3、9、7、6とすれば各々の容量が

$$C1 = 1.38 \text{ fF} / \mu\text{m}^2$$

$$C2 = 1.34 \text{ fF} / \mu\text{m}^2$$

であるから、このA—B間に形成される並列接続コンデンサの容量は

$$C = C1 + C2 = 2.72 \text{ fF} / \mu\text{m}^2$$

となる。

【0011】 このように、本実施例では導電層と誘電体層とを交互に積層してコンデンサを形成し、これらのコンデンサを並列接続する構成として容量の増大を図るものであり、素子面積及び絶縁耐圧の低下を招くことなく容量のみを約2倍に増大することができる。

【0012】 図2には本発明の他の実施例が示されてい

3

る。本第2実施例においては、半導体基板200上に酸化シリコンの絶縁層202、ポリシリコンの導電層204、窒化シリコンの誘電体層206が順次積層される。ここまでの構成は図4に示された従来の半導体装置と同様であるが、本第2実施例ではさらにこの誘電体層206上にポリシリコンの導電層208及び窒化シリコンの誘電体層210を積層している。そして、誘電体層210上にアルミニウムの導電層212、212'を積層し、コンタクトホールを介してアルミニウムの導電層212とポリシリコンの導電層204とを接続する。

【0013】本第2実施例の半導体装置はこのような構成を有しており、図2に示すようにA電極とB電極間に電圧を印加すると、

A電極-ポリシリコン導電層208-誘電体層206-ポリシリコン導電層204-B電極

で構成されるコンデンサC1と、

A電極-ポリシリコン導電層208-誘電体層210-アルミニウム導電層212-B電極

で構成されるコンデンサC2が前述の第1実施例と同様に並列接続される構成となり、A-B間に形成されるコン

デンサの容量を単一のコンデンサに比べ、  
 $C = C_1 + C_2$

20

と増大させることができる。

【0014】なお、上記第1及び第2実施例では2個のコンデンサを積層して形成する例を示したが、本発明はもちろんこれに限定されるものではなく、3個あるいはそれ以上のコンデンサを積層して形成し、これらを並列接続してもよいのは言うまでもない。

【0015】

【発明の効果】以上説明したように、本発明に係る半導体装置によれば、素子面積の増大及び絶縁耐圧の低下を招くことなくコンデンサの容量を増大させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の断面図である。

【図2】本発明の他の実施例の断面図である。

【図3】従来装置の断面図である。

【図4】従来装置の断面図である。

【符号の説明】

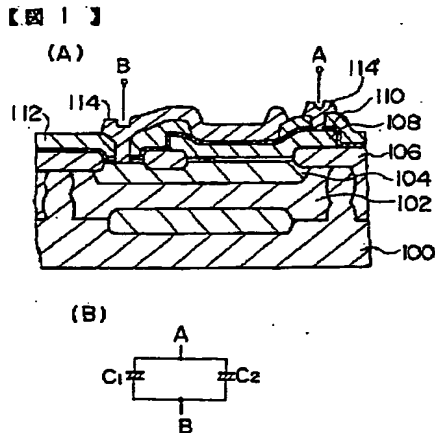
100、200、300、400 半導体基板

108、114、204、208、308、404、4

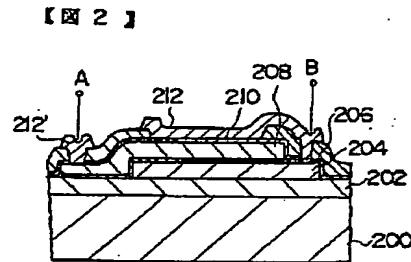
10 導電層

106、110、206、210、306、406 誘電体層

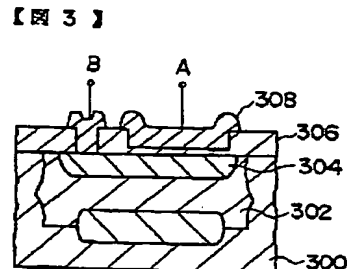
【図1】



【図2】



【図3】



(4)

特開平5-75021

【図4】

【図4】

